

Manifestazione di Interesse

Capitolato Tecnico per la produzione di 3 schede prototipali su bus PCie per l'upgrade del readout dei pixel-detector degli esperimenti ATLAS e CMS al CERN

Le schede oggetto di questo acquisto sono schede PCie 8x, quindi con 8 canali ad alta velocità sul bus PCI, in grado di interfacciare i futuri rivelatori a pixel degli esperimenti al CERN di Ginevra. In particolare di ATLAS e CMS. Di seguito, nel capitolato tecnico, sono elencate le specifiche richieste sia per i materiali di produzione delle schede sia per il montaggio dei componenti. In particolare, per il montaggio dei componenti sono specificati quali sono da acquistare da parte della ditta vincitrice di gara (incaricata alla realizzazione delle schede).

La scheda prototipale deve inoltre essere in grado di connettere altri 8 canali ad alta velocità, come spiegato di seguito, sui vari connettori di I/O. In totale dovranno essere gestibili 16 link differenziali in grado di comunicare ad una velocità minima di 2 Gb/s.

In aggiunta al capitolato tecnico si allegano lo schema elettrico della e la lista dei materiali da acquistare. Quest'ultima documentazione è fornita in formato elettronico, scaricabile dal sito seguente, entro la data di scadenza di presentazione delle offerte:

<http://www.bo.infn.it/vipix/Allegato Scheda Pixel Rod.zip>

Importo a base di gara **€ 20.000**, con esclusione dell'IVA perché il materiale ha destinazione CERN di Ginevra (Svizzera), per la produzione completa di 3 schede prototipali.

Ad estensione dell'importo iniziale di cui sopra la ditta vincitrice di gare si impegna, per i 2 anni successivi alla data di riferimento dell'ordine, a fornire un successivo batch di altre 3 schede su richiesta della Sezione INFN di Bologna alle medesime condizioni contrattuali di capitolato tecnico, ed allo stesso prezzo complessivo di **20.000€**.

Stazione appaltante: **Sezione di Bologna dell'INFN**

Condizioni contrattuali relative alla consegna e manutenzione delle schede

Le geometrie descritte in seguito sono assolutamente tassative per garantire il funzionamento della scheda, linea per linea, secondo le velocità dati (bandwidth) dettagliatamente segnate. La ditta vincitrice di gara quindi dovrà mantenere lo stackup dei layer, con i materiali e le dimensioni già calcolate, dovrà simulare la velocità di trasmissione dati dei bus per poterne garantire il funzionamento sul pcb reale. Lo sbroglio delle linee dati è invece a discrezione della ditta vincitrice di gara.

E' inoltre tassativamente richiesta alla ditta vincitrice di gara di garantire un tempo di rework di massimo **3 giorni** qualora si riscontrassero, sulle schede prodotte, problematiche non attribuibili alla Sezione INFN di Bologna (saldature fredde di componenti, componenti mancanti o orientati diversamente rispetto allo schema di progetto, saldature con eccesso di stagno che possano provocare corti-circuiti). Per tutte queste eventualità, la ditta vincitrice di gara deve farsi carico degli oneri di ritiro, riparazione e/o sostituzione, consegna delle schede difettose.

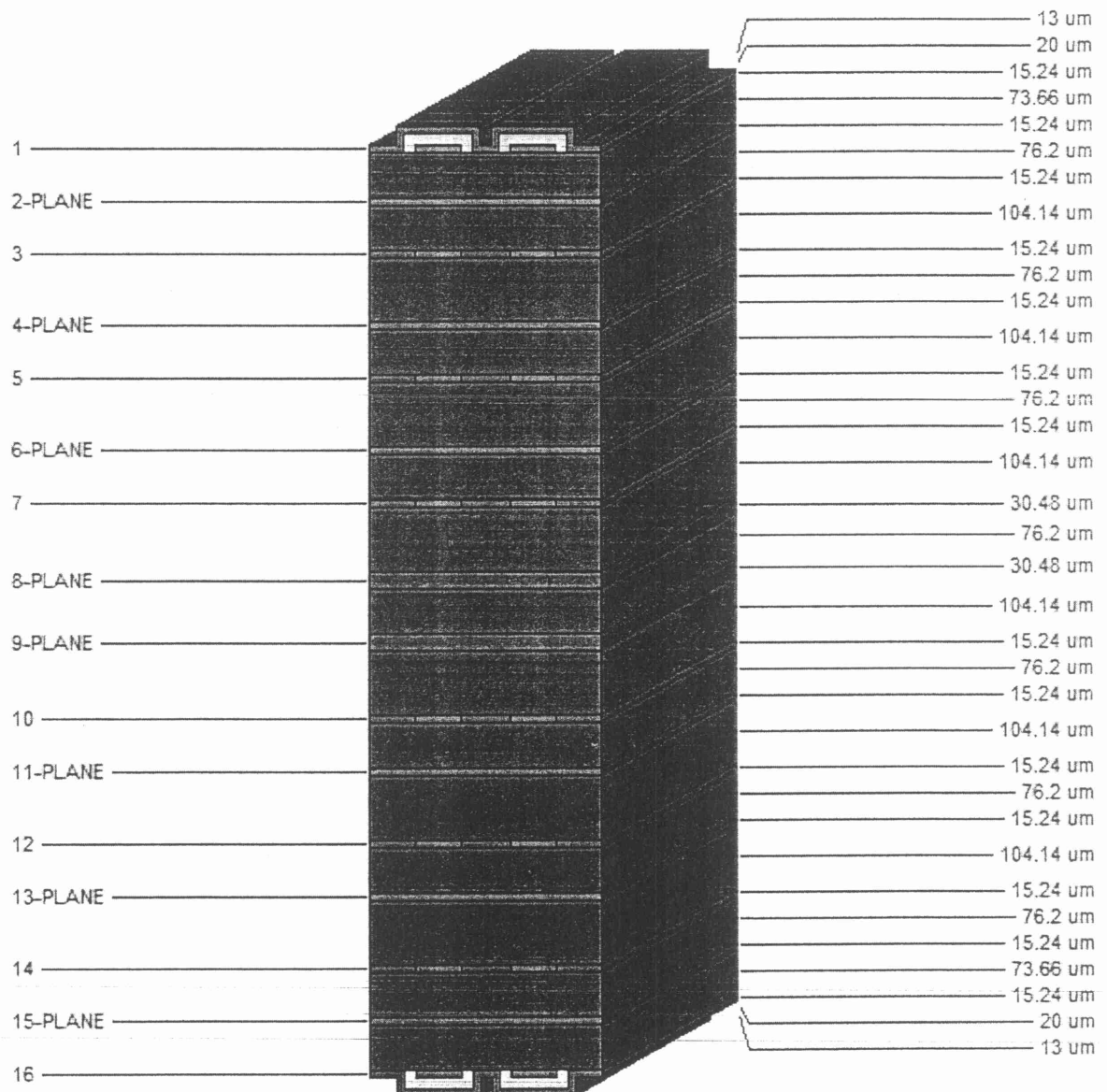
Se anche una sola delle richieste di cui sopra fosse inevasa si determinerebbe l'esclusione della ditta vincitrice di gara dall'appalto.

E' fatta richiesta alla ditta vincitrice di gara di rispondere per iscritto agli impegni richiesti di cui sopra.

Descrizione tecnica dettagliata del capitolato

1. Descrizione delle tecnologie di costruzione del PCB

- Materiale MEGTRON-6 Er=3,4 tand=0.009
- 16 strati - rame base 17µm
- Dimensione scheda PCIe <= 300 x 234,7mm
- Spessore PCB 1,6mm
- Sequenza di foratura
- Solder resist verde



Total thickness = 1645.9 µm

	Visible	Color	Pour Draw Style	Layer Name	Type	Usage	Thickness um	Er	Test Width um	Z0 ohm
1					Dielectric	Solder Mask	13	3.3		
2					Metal	Plating	20	<Auto>		
3	☒		Solid	1	Metal	Signal	15.24	<Auto>	195	40.9
4					Dielectric	Substrate	73.66	3.4		
5	☒		Solid	2-PLANE	Metal	Plane	15.24	<Auto>	1000000	<Error>
6					Dielectric	Substrate	76.2	3.4		
7	☒		Solid	3	Metal	Signal	15.24	<Auto>	95	46.7
8					Dielectric	Substrate	104.14	3.4		
9	☒		Solid	4-PLANE	Metal	Plane	15.24	<Auto>	1000000	0
10					Dielectric	Substrate	76.2	3.4		
11	☒		Solid	5	Metal	Signal	15.24	<Auto>	140	37.8
12					Dielectric	Substrate	104.14	3.4		
13	☒		Solid	6-PLANE	Metal	Plane	15.24	<Auto>	1000000	0
14					Dielectric	Substrate	76.2	3.4		
15	☒		Solid	7	Metal	Signal	15.24	<Auto>	140	37.8
16					Dielectric	Substrate	104.14	3.4		
17	☒		Solid	8-PLANE	Metal	Plane	30.48	<Auto>	1000000	0
18					Dielectric	Substrate	76.2	3.4		
19	☒		Solid	9-PLANE	Metal	Plane	30.48	<Auto>	1000000	0
20					Dielectric	Substrate	104.14	3.4		
21	☒		Solid	10	Metal	Signal	15.24	<Auto>	140	37.8
22					Dielectric	Substrate	76.2	3.4		
23	☒		Solid	11-PLANE	Metal	Plane	15.24	<Auto>	1000000	0
24					Dielectric	Substrate	104.14	3.4		
25	☒		Solid	12	Metal	Signal	15.24	<Auto>	140	37.8
26					Dielectric	Substrate	76.2	3.4		
27	☒		Solid	13-PLANE	Metal	Plane	15.24	<Auto>	1000000	0
28					Dielectric	Substrate	104.14	3.4		
29	☒		Solid	14	Metal	Signal	15.24	<Auto>	95	46.7
30					Dielectric	Substrate	76.2	3.4		
31	☒		Solid	15-PLANE	Metal	Plane	15.24	<Auto>	1000000	<Error>
32					Dielectric	Substrate	73.66	3.4		
33	☒		Solid	16	Metal	Signal	15.24	<Auto>	140	48.8
34					Metal	Plating	20	<Auto>		
35					Dielectric	Solder Mask	13	3.3		

2. In generale, per le linee ad impedenza controllata, valgono le seguenti specifiche e, a seguire, in maggior dettaglio, linea per linea

- Impedenza controllata per segnali (differenziali) **a 5 Gb/s**, (terminazione serie a 15 Ω),

FLASH – 50 Ω single ended

ADD

FLASH_(A0:A26)

CONTROLLI

FLASH_ADV_B

FLASH_CE_B

FLASH_FWE_B

FLASH_OE_B

FLASH_WAIT

FPGA_CCLK

FPGA_INIT_B

DATI

FLASH_(D0-D15)

PCI-E – 50Ω single ended / 85Ω diff.

CLOCK

PCIE_CLK_Q0_N, PCIE_CLK_Q0_P

CONTROLLI

PCIE_PERST

PCIE_PRSENT_B

PCIE_PRSENT_X1

PCIE_PRSENT_X4

PCIE_PRSENT_X8

PCIE_WAKE_B

LANE_RX

PCIE_RX_N(0:7), PCIE_RX_(P0:P7)

LANE_TX

PCIE_TX_N(0:7), PCIE_TX_(P0:P7)

ZYNQ XC7Z020CLG484

--- GbEthernet --- – 50Ω single ended / 100Ω diff.

Zynq_PHY_MDIO
Zynq_PHY_MDC
Zynq_PHY_TX_CLK
Zynq_PHY_TX_CTRL
Zynq_PHY_TXD[0..3]
Zynq_PHY_RX_CLK
Zynq_PHY_RX_CTRL
Zynq_PHY_RXD[0..3]
Zynq_PHY_RESET_B_AND

- Impedenza controllata per segnali (differenziali) a 500 Mb/s, (),

--- DDR3 --- 667 MHz
- 40Ω single ended / 80Ω diff.

PS_DDR3_A[0..14]
PS_DDR3_DQS_P[0..3]
PS_DDR3_DQS_N[0..3]
PS_DDR3_DM[0..3]
PS_DDR3_DQ[0..31]
PS_DDR3_CLK_P
PS_DDR3_CLK_N
PS_DDR3_BA[0..2]
PS_DDR3_RAS_B
PS_DDR3_CAS_B
PS_DDR3_WE_B
PS_DDR3_CKE
PS_DDR3_CS_B
PS_DDR3_ODT
PS_DDR3_RESET_B

--- Clock ---

Z_RTC_IIC_SDA
Z_RTC_IIC_SCL
Z_USER_CLOCK_SDA
Z_USER_CLOCK_SCL
Z_IIC_RTC_IRQ_1_B
Zynq_USER_CLOCK_P
Zynq_USER_CLOCK_N
Zynq_SYSCLK_P
Zynq_SYSCLK_N
PS_CLK

--- Bus Kintex-Zynq --- - 100Ω differenziali

KZ_Bus_P[0..20]
KZ_Bus_N[0..20]
KZ_Bus(2V5)_P21
KZ_Bus(2V5)_N21

KZ_Bus(2V5)_P22
KZ_Bus(2V5)_N22
KZ_Bus[0..4]
KZ_Bus(2V5)5
KZ_Bus(2V5)6
KZ_BusClk_P
KZ_BusClk_N

PS_MIO – 50Ω single ended

PS_MIO_(0:22)

ZGPIO - 50Ω single ended / 100Ω diff.

ZGPIO_(0:4)

ZGPIO_N(0:19), ZGPIO_(0:19)

KINTEX 7 XC7K325T

GPIO – 50Ω single ended

GPIO_LS_(0:7)

GPIO_(0:7)

----- Priority livello 1 -----

--- FPGA-Banks 115-116-117-118 ---

SPF – 100Ω differenziali

SFP_TX_N

SFP_TX_P

SFP_RX_N

SFP_RX_P

USB – 85Ω diff.

N16733486, N16733494

N16738504, N16738512

--- linee a 165 MHz - 100Ω differenziali

FMC_HPC_DP_C2M_N[0..3]
FMC_HPC_DP_C2M_P[0..3]
FMC_HPC_DP_M2C_N[0..3]
FMC_HPC_DP_M2C_P[0..3]

FMC_HPC_GBTCLK1_M2C_N
FMC_HPC_GBTCLK1_M2C_P
FMC_HPC_GBTCLK0_M2C_N
FMC_HPC_GBTCLK0_M2C_P

FMC_LPC_GBTCLK_M2C_N
FMC_LPC_GBTCLK_M2C_P
FMC_LPC_DP_M2C_N0
FMC_LPC_DP_M2C_P0
FMC_LPC_DP_C2M_N0
FMC_LPC_DP_C2M_P0

--- Clock ---

REC_CLOCK_C_P
REC_CLOCK_C_N
SI5326_OUT_C_P
SI5326_OUT_C_N

--- DDR3 --- linee a 667 MHz – 40Ω single ended / 80Ω diff.

DDR3_CLK0_N
DDR3_CLK0_P
DDR3_CLK1_N
DDR3_CLK1_P
DDR3_CLKE0
DDR3_CLKE1
DDR3_TEMP_EVENT
DDR3_RAS_B
DDR3_CAS_B
DDR3_WE_B
DDR3_RESET_B
DDR3_B_S[0..1]
DDR3_ODT[0..1]
DDR3_BA[0..2]
DDR3_A[0..15]
DDR3_D[0..63]
DDR3_DM[0..7]
DDR3_DQS_P[0..7]
DDR3_DQS_N[0..7]

----- Priority livello 2 -----

--- 2 Gb/s per linea ---

--- Clock ---

SGMIICLK_Q0_P
SGMIICLK_Q0_N
USER_SMA_CLOCK_P
USER_SMA_CLOCK_N
SMA_MGT_REFCLK_P
SMA_MGT_REFCLK_N
SMA_MGT_RX_P
SMA_MGT_RX_N
SMA_MGT_TX_P
SMA_MGT_TX_N
USER_CLOCK_P
USER_CLOCK_N
SYSCLK_P
SYSCLK_N
FPGA_EMCCLK

----- Priority 3 -----

--- linee a 125 Mb/s – 50Ω single ended / 100Ω diff

--- GbEthernet ---

PHI_MDIO
PHI_INT
PHI_TXER
PHI_TXCTL_TXEN
PHI_TXCLK
PHI_TXC_GTXCLK
PHI_RESET
PHI_TXD[0..7]
SGMII_RX_P
SGMII_RX_N
SGMII_TX_P
SGMII_TX_N

CLK2_BIDIR_P
CLK2_BIDIR_N

--- linee a 165 MHz - 100Ω differenziali

FMC HPC

CLK2_BIDIR_P
CLK2_BIDIR_N
FMC_HPC_HA_P[18..23]
FMC_HPC_HA_N[18..23]
FMC_HPC_HA_P[2..16]
FMC_HPC_HA_N[2..16]
FMC_HPC_HA_CC_P17
FMC_HPC_HA_CC_N17
FMC_HPC_HA_CC_P01
FMC_HPC_HA_CC_N01
FMC_HPC_HA_CC_P00
FMC_HPC_HA_CC_N00
FMC_HPC_LA_P[19..33]
FMC_HPC_LA_N[19..33]
FMC_HPC_LA_CC_P18
FMC_HPC_LA_CC_N18
FMC_HPC_LA_CC_P17
FMC_HPC_LA_CC_N17
FMC_HPC_CLK1_M2C_P
FMC_HPC_CLK1_M2C_N
FMC_HPC_CLK0_M2C_P
FMC_HPC_CLK0_M2C_N
FMC_HPC_LA_P[2..16]
FMC_HPC_LA_N[2..16]
FMC_HPC_LA_CC_P01
FMC_HPC_LA_CC_N01
FMC_HPC_LA_CC_P00
FMC_HPC_LA_CC_N00

3. Componenti da acquistare da parte della ditta incaricata della realizzazione delle schede. Il costo dei materiali acquistati deve essere incluso nell'offerta complessiva.

- Fornitura di tutti i componenti attivi e passivi della lista BOM allegata comprese le FPGA e le PROM Xilinx (vedi sotto)
- Fornitura connettori Ethernet, SMA, UART

4. Assemblaggio

- Assemblaggio di tutti i componenti attivi e passivi della lista BOM allegata, incluse le FPGA, le prom, tutti i connettori e le parti meccaniche.
- La saldatura dei componenti SMD con package BGA, quindi le XC7K325T, XC7Z020CLG484 devono seguire rigorosamente i profili termici descritti sulle confezioni degli imballi.
- Imballo di tutta la produzione con materiale antistatico

5. Test

- Test RX saldature FPGA
- Test Elettrico generale a sonde mobili 2 smd

6. Documentazione

- Certificato conformità
- Documentazione Tecnica

7. Termini di consegna e penali

La fornitura delle 3 schede costruite e montate dovrà essere consegnata c/o il CERN di Ginevra (parte svizzera), che è la sede operativa finale di funzionamento delle schede, entro 30 gg. dalla data di ricevimento dell'ordine. In caso di mancato o inesatto adempimento delle prestazioni contrattuali sarà applicata una penale pari al 1%(uno per cento) dell'importo contrattuale, per ogni settimana di ritardo nella consegna, con un massimo del 5% (cinque per cento).

Per informazioni tecniche rivolgersi ad Alessandro Gabrielli tel. 051-2095052, FAX 051-2095297 e-mail: alessandro.gabrielli@bo.infn.it.

Bologna 28 Marzo 2017

Il Responsabile del Procedimento,

dott. Anselmo Margotti

